
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 2011/2012

Jun 2012

EEE 344 – SISTEM VLSI

Masa : 3 Jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi DUA BELAS muka surat beserta Lampiran SATU muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

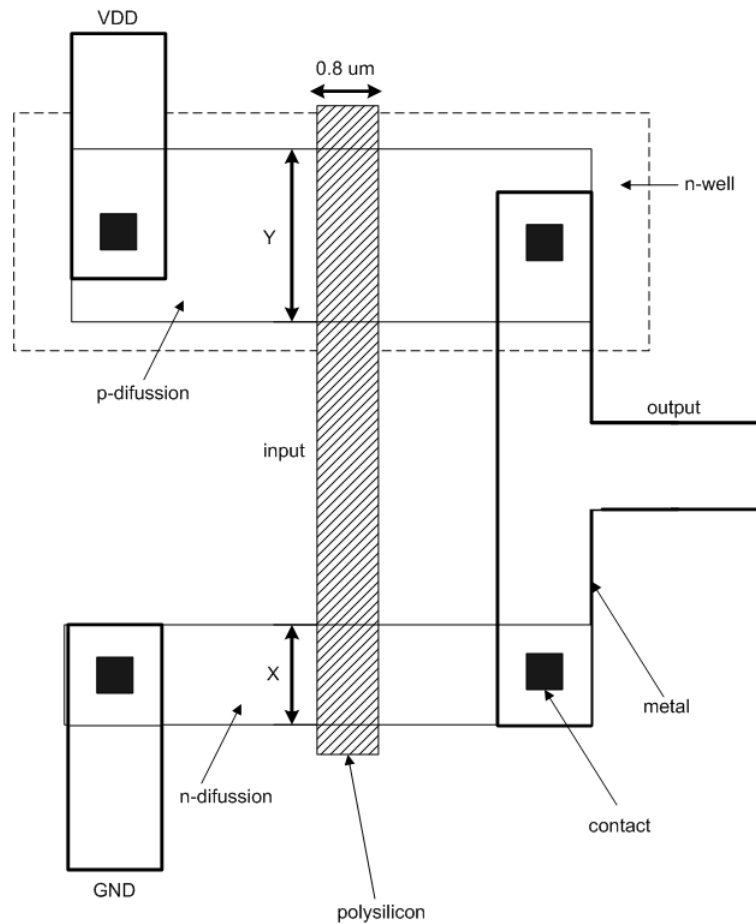
Jawab semua soalan dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai].

“In the event of any discrepancies, the English version shall be used”.

1. Diberi sebuah litar penyongsang seperti dalam Rajah 1. Abaikan kesan perubahan panjang saluran dan substrate bias ($\lambda = 0, \gamma = 0$) untuk kedua-dua transistor.

Consider an inverter circuit shown in Figure 1. Neglect the channel-length modulation and substrate bias effect ($\lambda = 0, \gamma = 0$) for both transistors.



Rajah 1
Figure 1

- (a) Terangkan berkenaan mod operasi untuk setiap transistor, kemudian terbitkan formula untuk mengira voltan kritikal $V_{OH}, V_{OL}, V_{IH}, V_{IL}, V_{th}$.

Explain about the mode of operation for each transistor, and then derive the formula to calculate the critical voltages $V_{OH}, V_{OL}, V_{IH}, V_{IL}, V_{th}$.

(70 markah/marks)

- (b) Sekiranya,

$$V_{DD} = 3.3V, V_{TO,n} = 0.6V, V_{TO,p} = -0.7V, \mu_n C_{ox} = 60\mu A/V^2, \mu_p C_{ox} = 25\mu A/V^2$$

Tentukan $\frac{Y}{X}$ supaya V_{th} menjadi $1.4V$.

Given,

$$V_{DD} = 3.3V, V_{TO,n} = 0.6V, V_{TO,p} = -0.7V, \mu_n C_{ox} = 60\mu A/V^2, \mu_p C_{ox} = 25\mu A/V^2$$

Determine $\frac{Y}{X}$ so that V_{th} becomes $1.4V$.

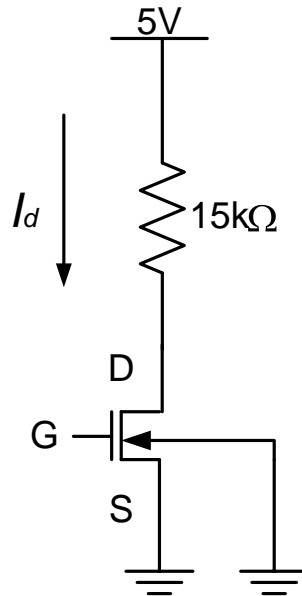
(30 markah/marks)

2. (a) Diberi sebuah litar seperti dalam Rajah 2. Sekiranya

$V_{TO,n} = 0.6V, \mu_n C_{ox} = 200\mu A/V^2, W/L = 3$. Abaikan kesan perubahan panjang saluran dan substrate bias ($\lambda = 0, \gamma = 0$).

Consider a circuit shown in Figure 2. Given,

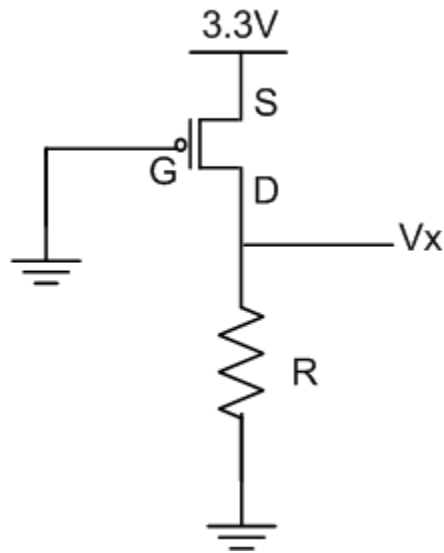
$V_{TO,n} = 0.6V, \mu_n C_{ox} = 200\mu A/V^2, W/L = 3$ Neglect the channel-length modulation and substrate bias effect ($\lambda = 0, \gamma = 0$).



Rajah 2
Figure 2

- (i) Sekiranya $V_{GS} = 1.5V$, tentukan nilai V_{DS} dan I_d
If $V_{GS} = 1.5V$, determine the values of V_{DS} and I_d
 (20 markah/marks)
- (ii) Sekiranya $V_{GS} = 1.8V$, tentukan nilai V_{DS} dan I_d
If $V_{GS} = 1.8V$, determine the values of V_{DS} and I_d
 (30 markah/marks)
- (b) Diberi sebuah litar seperti dalam Rajah 3. Abaikan kesan perubahan panjang saluran dan substrate bias ($\lambda = 0, \gamma = 0$).

Consider a circuit shown in Figure 3. Neglect the channel-length modulation and substrate bias effect ($\lambda = 0, \gamma = 0$).



Rajah 3
Figure 3

(i) Sekiranya

If

$$V_{T0,p} = -0.6V, \mu_p C_{ox} = 160 \mu A/V^2, W/L = 10, R = 10k\Omega,$$

tentukan nilai V_x .

determine the value of V_x .

(35 markah/marks)

(ii) Sekiranya

If

$$V_{T0,p} = -0.7V, \mu_p C_{ox} = 160 \mu A/V^2, W/L = 5, V_x = 0.5V_{DD},$$

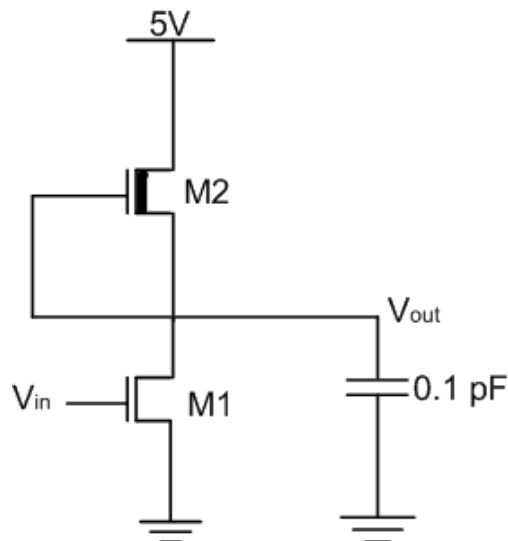
tentukan nilai R .

determine the value of R .

(15 markah/marks)

3. Diberi sebuah litar penyongsang yang bersambung dengan sebuah beban pemuat seperti dalam Rajah 4. Anggap isyarat masukan adalah ideal yang mana masa naik dan juga masa turun adalah kosong. Sekiranya $V_{T0,M1} = 1V, V_{T0,M2} = -3V, k_{M1} = 51.5 \times 10^{-6} A/V^2, k_{M2} = 11.63 \times 10^{-6} A/V^2, V_{OH} = V_{DD}, V_{OL} = 0.25V$.
- Abaikan kesan perubahan panjang saluran dan substrate bias ($\lambda = 0, \gamma = 0$) untuk kedua-dua transistor.

Consider an inverter with a load capacitor shown in Figure 4. Assume that the input signal is ideal with zero rise and fall times. Given, $V_{T0,M1} = 1V, V_{T0,M2} = -3V, k_{M1} = 51.5 \times 10^{-6} A/V^2, k_{M2} = 11.63 \times 10^{-6} A/V^2, V_{OH} = V_{DD}, V_{OL} = 0.25V$. Neglect the channel-length modulation and substrate bias effect ($\lambda = 0, \gamma = 0$) for both transistors.



Rajah 4
Figure 4

- (a) Cari τ_{PLH} dengan menggunakan teknik persamaan perbezaan.

Find τ_{PLH} by using the differential equation method.

Selain daripada persamaan matematik, gambarajah persamaan litar dan bentuk gelombang V_{in} dan V_{out} semasa perubahan hendaklah dilukis di dalam jawapan anda. Operasi untuk setiap transistor semasa perubahan juga hendaklah diterangkan.

Besides the mathematic equations, you need to draw the equivalent circuit and the waveforms of V_{in} and V_{out} during the transition. The operation of each transistor during the transition also need to be explained.

(50 markah/marks)

- (b) Cari τ_r dengan menggunakan teknik persamaan perbezaan.

Find τ_r by using the differential equation method.

Selain daripada persamaan matematik, gambarajah persamaan litar dan bentuk gelombang V_{in} dan V_{out} semasa perubahan hendaklah dilukis di dalam jawapan anda. Operasi untuk setiap transistor semasa perubahan juga hendaklah diterangkan.

Besides the mathematic equations, you need to draw the equivalent circuit and the waveforms of V_{in} and V_{out} during the transition. The operation of each transistor during the transition also need to be explained.

(50 markah/marks)

4. (a) Apakah definisi litar berjujukan?
What is definition of sequential circuit?

(20 markah/marks)

- (b) Lukis litar aras-get flip flop SR mengikut jadual kebenaran seperti pada Rajah 5.

Draw a gate-level circuit which can implement the SR flip flop truth table as shown in Figure 5.

(20 markah/marks)

S	R	Q	\bar{Q}
0	1	1	0
1	0	0	1
1	1	Q	\bar{Q}

Rajah 5 Jadual Kebenaran Flip Flop SR
Figure 5 SR flip flop Truth Table

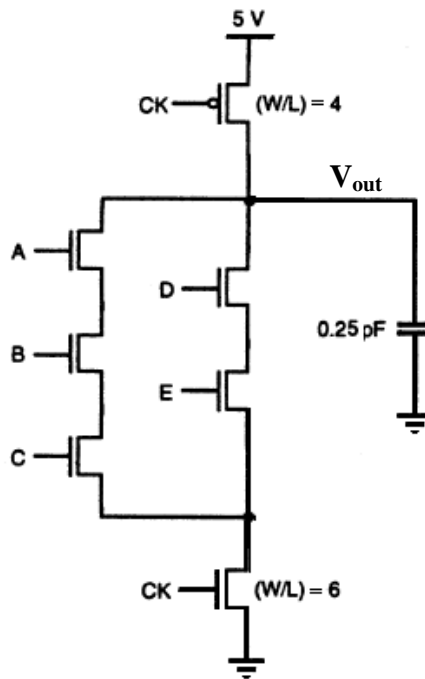
- (c) Lukiskan Flip-Flop tuan-hamba menggunakan get CMOS.

Draw a basic CMOS Master Slave Flip Flop.

(60 markah/marks)

5. (a) Berdasarkan Rajah 6, apakah fungsi Boolean untuk V_{out} ?
Based on Figure 6, what is the Boolean function of V_{out} ?

(20 markah/marks)

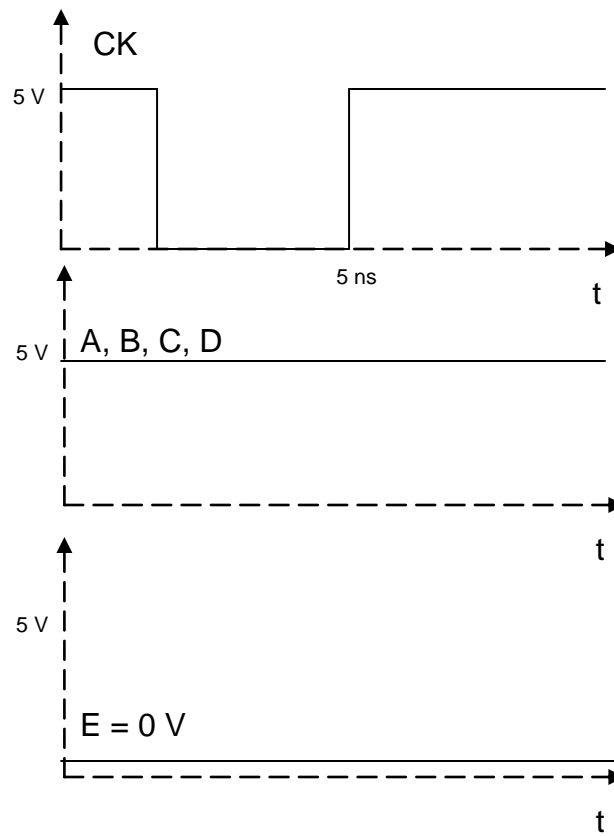


Rajah 6 Litar Logik Dinamik
Figure 6 A Dynamic Logic Circuit

- (b) Sekiranya isyarat seperti dalam Rajah 7 disalurkan kepada litar (Rajah 6), lukiskan gelombang V_{out} .

If signals as shown in Figure 7 are applied to the circuit (Figure 6), draw the expected V_{out} waveform.

(20 markah/marks)



Rajah 7 Gelombang CK, A, B, C, D dan E
Figure 7 CK, A, B, C, D and E Waveforms

- (c) Parameter untuk litar dalam Rajah 6 adalah seperti berikut. $V_{\text{ton}} = 1 \text{ V}$, $V_{\text{top}} = -1 \text{ V}$, $k'_n = 50 \mu\text{A/V}^2$, $k'_p = 25 \mu\text{A/V}^2$ dan nisbah W/L untuk setiap NMOS ialah 9. Pada mulanya $V_{\text{out}} = 0 \text{ V}$ dan isyarat masukan adalah seperti dalam Rajah 7, kira masa diperlukan untuk V_{out} (semasa pengecasan) sampai 50% daripada V_{DD} (5 V).

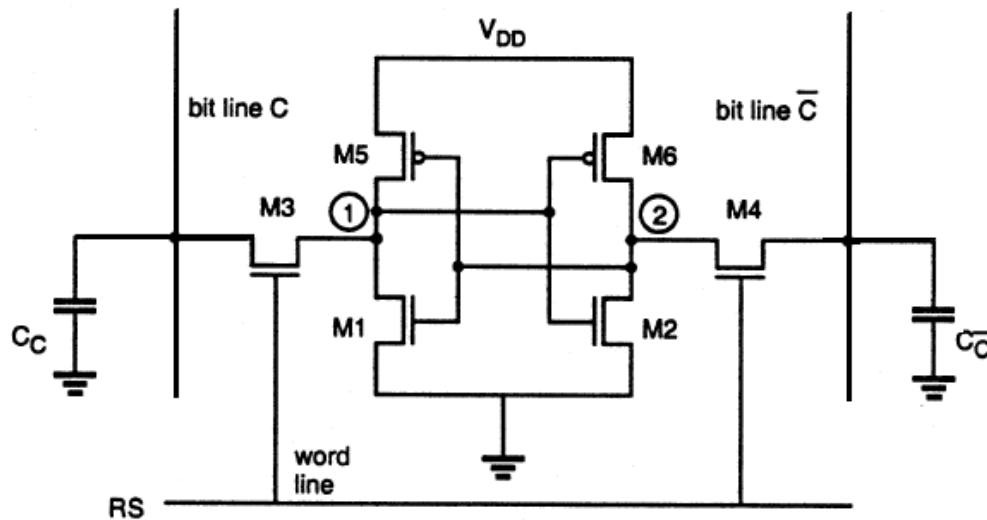
The parameters for circuit in Figure 6 are as follows. $V_{\text{ton}} = 1 \text{ V}$, $V_{\text{top}} = -1 \text{ V}$, $k'_n = 50 \mu\text{A/V}^2$, $k'_p = 25 \mu\text{A/V}^2$ and W/L ratios for each NMOS device is 9. With initial $V_{\text{out}} = 0 \text{ V}$ and input signals as shown in Figure 7, calculate time required for V_{out} (during charge up) to reach 50% of V_{DD} (5 V).

(60 markah/marks)

...11/-

6. (a) Apakah sifat-sifat normal bagi SRAM dan DRAM?
What is the normal behaviour of SRAM and DRAM?

(20 markah/*marks*)



Rajah 8 SRAM CMOS
Figure 8 CMOS SRAM

- (b) Parameter untuk litar dalam Rajah 8 adalah seperti berikut.

The circuit in Figure 8 has parameters as follows.

$V_{DD} = 5 \text{ V}$, $V_{ton} = 0.7 \text{ V}$, $V_{top} = -0.7 \text{ V}$, $k'_n = 20 \mu\text{A/V}^2$, $k'_p = 10 \mu\text{A/V}^2$, $\gamma = 0.4 \text{ V}^{1/2}$ and $|2\phi_F| = 0.6 \text{ V}$.

Sekiranya nisbah W/L untuk M1 dan M2 ialah 1, M3 dan M4 ialah 2/4. Andaikan bit simpanan pada mulanya ialah 0, keadaan sel berubah apabila $V_C = 0.4$ V. Di kala bit mahu berubah, kita boleh andaikan bahawa M2 berada di dalam keadaan lurus ($V_{gs} = V_{ton}$).

If W/L ratios for M1 and M2 is 1, M3 and M4 is 2/4. Assuming that the initial storage bit is 0, and $V_C = 0.4$ V. At the juncture of the bit going to change we can assume then M2 is start to conduct ($V_{GS} = V_{ton}$).

...12/-

- (i) Pastikan M5 berada dalam tepu.

Confirm that M5 is saturated.

(15 markah/*marks*)

- (ii) Pastikan M3 berada dalam kawasan lurus.

Confirm that M3 is in linear region.

(15 markah/*marks*)

- (iii) Tentukan nilai W/L untuk M5 dan M6.

Determine W/L for M5 and M6.

(50 markah/*marks*)

ooooOoooo

APPENDIX 1

Current-voltage equations of the nMOS Transistor:-

$$I_D = 0 \quad \text{for } V_{GS} < V_T$$

$$I_D (lin) = \frac{k_n}{2} \left[(V_{GS} - V_T)V_{DS} - V_{DS}^2 \right] \quad \text{for } V_{GS} \geq V_T \text{ and } V_{DS} < V_{GS} - V_T$$

$$I_D (sat) = \frac{k_n}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{for } V_{GS} \geq V_T \text{ and } V_{DS} \geq V_{GS} - V_T$$

Where,

$$k_n = \mu_n C_{ox} \frac{W}{L}$$

Current-voltage equations of the pMOS Transistor:-

$$I_D = 0 \quad \text{for } V_{GS} > V_T$$

$$I_D (lin) = \frac{k_p}{2} \left[(V_{GS} - V_T)V_{DS} - V_{DS}^2 \right] \quad \text{for } V_{GS} \leq V_T \text{ and } V_{DS} > V_{GS} - V_T$$

$$I_D (sat) = \frac{k_p}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{for } V_{GS} \leq V_T \text{ and } V_{DS} \leq V_{GS} - V_T$$

Where,

$$k_p = \mu_p C_{ox} \frac{W}{L}$$

Threshold voltage:-

$$V_T(V_{SB}) = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

Capacitance Current:-

$$i_c = C_{load} \frac{dV_{out}}{dt}$$